

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04588768 **Image available**

SEMICONDUCTOR DEVICE CONTINUOUS PROCESSING EQUIPMENT

PUB. NO.: 06-260668 [JP 6260668 A]
PUBLISHED: September 16, 1994 (19940916)
INVENTOR(s): YASUNO TOKUJI
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 05-045501 [JP 9345501]
FILED: March 05, 1993 (19930305)
INTL CLASS: [5] H01L-031/04; H01L-021/205
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 35.1 (NEW
ENERGY SOURCES -- Solar Heat)
JAPIO KEYWORD: R004 (PLASMA); R020 (VACUUM TECHNIQUES)
JOURNAL: Section: E, Section No. 1644, Vol. 18, No. 661, Pg. 37,
December 14, 1994 (19941214)

ABSTRACT

PURPOSE: To provide a semiconductor element continuous processing equipment with high productivity which allows a substrate to be conveyed through a gas gate without any trouble or any damage thereto.

CONSTITUTION: This semiconductor element continuous processing equipment is for continuously forming semiconductor layers of a desired conductivity type on a belt-shaped substrate 107. The processing equipment consists of a plurality of film formation chambers 101, 102, and 103 which form semiconductor layers of a desired conductivity type independently; a means for continuously conveying a belt-shaped substrate in the direction of its length while passing it through the film formation chambers; gas gate 106 which connects these chambers. The equipment also has a dust removing mechanism 113 at the exit of the film formation chambers to remove foreign matter from the bottom of the belt-shaped substrate.

THIS PAGE BLANK (USPTO)

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

11991983

Basic Patent (No,Kind,Date): JP 6260668 A2 940916 <No. of Patents: 001>

Patent Family:

| Patent No | Kind | Date | Applic No | Kind | Date |
|------------|------|--------|------------|------|----------------|
| JP 6260668 | A2 | 940916 | JP 9345501 | A | 930305 (BASIC) |

Priority Data (No,Kind,Date):

JP 9345501 A 930305

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 6260668 A2 940916

SEMICONDUCTOR DEVICE CONTINUOUS PROCESSING EQUIPMENT (English)

Patent Assignee: CANON KK

Author (Inventor): YASUNO TOKUJI

Priority (No,Kind,Date): JP 9345501 A 930305

Applic (No,Kind,Date): JP 9345501 A 930305

IPC: * H01L-031/04; H01L-021/205

CA Abstract No: ; 122(20)253869W

Derwent WPI Acc No: ; G 94-336536

JAPIO Reference No: ; 180661E000037

Language of Document: Japanese

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-260668

(43) 公開日 平成6年(1994)9月16日

(51) IntCl.⁵

H 0 1 L 31/04
21/205

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 31/04

T

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平5-45501

(22) 出願日 平成5年(1993)3月5日

(71) 出願人 000001007

キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 保野 篤司

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

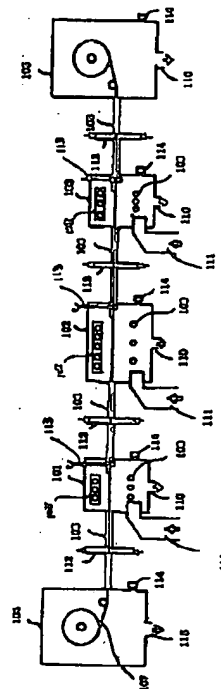
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体素子連続製造装置

(57) 【要約】 (修正有)

【目的】 基体がガスゲートを通過する際に、ゲート内でのトラブル及び基体への傷の損傷が発生することなく搬送される生産性の高い半導体素子連続製造装置を提供する。

【構成】 帯状基体107上に、所望の導電型の半導体層を連続に形成することのできる半導体素子連続製造装置において、所望の導電型の半導体層を各々独立に成膜することのできる複数の成膜室101、102、103と、該帯状基体を該複数の成膜室へ通過させながら該帯状基体の長手方向に連続的に搬送させる手段と、該複数の成膜室を接続するガスゲート106とを有し、更に、帯状基体の底面の異物を除去する除塵機構113を成膜室出口に有することを特徴とする半導体素子連続製造装置。



1

【特許請求の範囲】

【請求項1】 帯状基体上に、所望の導電型の半導体層を連続に形成することのできる半導体素子連続製造装置において、

所望の導電型の半導体層を各々独立に成膜することのできる複数の成膜室と、

該帯状基体を該複数の成膜室へ通過させながら該帯状基体の長手方向に連続的に搬送させる手段と、

該複数の成膜室を接続するガスゲートとを有し、

更に、帯状基体の底面の異物を除去する除塵機構を成膜室出口に有することを特徴とする半導体素子連続製造装置。

【請求項2】 ガスゲートが、その途中にガス導入路を有するスリット状である請求項1に記載の半導体素子連続製造装置。

【請求項3】 除塵機構が、ゴム、プラスチック又はセラミックからなるブレード又はブラシにより異物を払い除けるものである請求項1又は2に記載の半導体素子連続製造装置。

【請求項4】 ブレード又はブラシを回転軸によって、固定、駆動又は回転し、該回転軸の位置により、帯状基体の位置ずれを防止する請求項3に記載の半導体素子連続製造装置。

【請求項5】 除塵機構が、帯状基体にマーキングする機能を設けてなる請求項1乃至4いずれかに記載の半導体素子連続製造装置。

【請求項6】 除塵機構が、帯状基体の温度を測定し制御する機能を設けてなる請求項1乃至5いずれかに記載の半導体素子連続製造装置。

【請求項7】 帯状基体の温度を測定し制御する機能が、ブレードにより帯状基体底面に押し付けられた熱電対である請求項6に記載の半導体素子連続製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、大面積の半導体素子を連続に製造できる製造装置に関し、特に、光起電力素子等の積層薄膜素子を帯状基体上に連続に形成できる装置に関する。

【0002】

【従来の技術】 従来、基体上に光電力素子等に用いる機能性堆積膜を連続的に形成する方法として、各々の半導体層形成用の独立した成膜室を設け、該成膜室にて各々の半導体層の形成を行う方法が提案されている。

【0003】 例えば、米国特許第4,400,409号明細書には、ロール・ツー・ロール(Roll to Roll)方式を採用した連続プラズマCVD法が開示されている。この方法によれば、複数のグロー放電領域を設け、所望の幅で十分に長い帯状の基体を、基体が前記グロー放電領域を順次貫通する経路に沿って配置し、前記グロー放電領域において必要とされる導電型の半導

2

体層を堆積しつつ、前記基体をその長手方向に連続的に搬送せしめることによって、半導体接合を有する素子を連続形成することができるとされている。

【0004】 該方法においては、各半導体層形成時に用いる成膜ガスやドーパントガスが他のグロー放電領域へ拡散、混入するのを防止するために、成膜室と他の成膜室との間にガスゲートを設けている。具体的には、前記各グロー放電領域をスリット状の分離通路によって分離し、更に該分離通路に、例えば、Ar、H₂、等の分離用ガスの流れを形成させる。または、分離通路に排気手段を設けて、隣合う成膜室から流れ込むガスを廃気する手段が採用されている。

【0005】 このガスゲートは、前記成膜ガスやドーパントガスの拡散、混入を防ぐために、狭い断面積と長いゲート長を必要とする。更に、基体上に形成された半導体層面が、ゲート壁に接触することなく通過する機構が必要である。以上のような要求を満たすため、現在の成膜室間のガスゲートのスリットの高さは、数〜数十mmと非常に狭くなっている。

【0006】 従って、基体の搬送時において、基体底面(成膜面との逆の面)にゴミ、ブツ等の異物が発生した場合、ゲート内で詰まり、搬送トラブルが発生したり、ゴミ、ブツ等が原因である傷の発生や、微妙な凹凸が生じる可能性がある。この結果、生産装置における稼働率、良品率の低下を招き、コスト上昇の原因となっていた。

【0007】

【発明が解決しようとする課題】 本発明の目的は、上記従来のロール・ツー・ロール方式による半導体素子連続製造装置の問題点を解決した半導体素子の連続的装置を提供することにある。即ち、基体がガスゲートを通過する際に、ゲート内でのトラブル及び基体への傷の損傷が発生することなく搬送される生産性の高い半導体素子連続製造装置を提供することを目的としている。

【0008】

【課題を解決するための手段】 上記目的を達成するための本発明は、帯状基体上に、所望の導電型の半導体層を連続に形成することのできる半導体素子連続製造装置において、所望の導電型の半導体層を各々独立に成膜することのできる複数の成膜室と、該帯状基体を該複数の成膜室へ通過させながら該帯状基体の長手方向に連続的に搬送させる手段と、該複数の成膜室を接続するガスゲートとを有し、更に、帯状基体の底面の異物を除去する除塵機構を成膜室出口に有することを特徴とする半導体素子連続製造装置である。

【0009】 また、本発明は、ガスゲートが、その途中にガス導入路を有するスリット状であることを含むものである。

【0010】 また、本発明は、除塵機構が、ゴム、プラスチック又はセラミックからなるブレード又はブラシに

より異物を払い除けるものであることを含み、ブレード又はブラシを回転軸によって、固定、駆動又は回転し、該回転軸の位置により、帯状基体の位置ずれを防止することを含むものである。

【0011】また、本発明は、除塵機構が、帯状基体にマーキングする機能を設けてなることを含むものである。

【0012】また、本発明は、除塵機構が、帯状基体の温度を測定し制御する機能を設けてなることを含み、該帯状基体の温度を測定し制御する機能が、ブレードにより帯状基体底面に押し付けられた熱電対であることを含むものである。

【0013】本願明細書においては、基体の底面とは、半導体層が積層される側の裏側の面を指し、異物とは、基体底面に付着するゴミ、チリ、又は基体底面に発生するブツを指す。

【0014】

【実施例】以下、実施例により本発明を具体的に説明するが、本発明はこれらの実施例によって何等限定されるものではない。

【0015】実施例1

図1は、本発明装置の1態様を示す模式図である。

【0016】図1において、101、102、103は、マイクロ波プラズマCVD法による成膜室であり、104、105は帯状基体の供給室及び巻取り室である。それぞれの成膜室はガスゲート106によって接続されている。107は帯状基体であり、供給室から巻取り室に搬送されるまでに3つの成膜室を通過してその表面に、図1の例では帯状基体の下側に、3層の機能性堆積膜、例えば、pin構造の太陽電池用半導体膜が形成される。

【0017】101～103の各成膜室には基体を加熱する加熱ヒーター108、不図示のガス供給手段から供給される成膜ガスを成膜室に導入するガス導入管109、不図示の排気手段により成膜室を排気するための排気管110、成膜室内の成膜ガスにエネルギーを与えて、生起するマイクロ波電力を供給する導波管111が設けられ、マイクロ波CVD法による堆積膜の形成が行われる。

【0018】ガスゲート106には、コンダクタンスを小さくし、各成膜室間でのガスの拡散、混入を防ぐ目的で開口断面調節部材が1～5mmの幅に設定されている。図10はガスゲート部分の1構成例を示す拡大図であるが、図示のごとく、開口断面調節部材は帯状基体の上下に平板状に設置され、帯状基体の堆積面との間には、所定の間隙が設けられている。該部材は、熱変形や摩耗の少ないアルミナ等のセラミックス、石英等のガラス、又はこれらの複合材等により、基本的には平板状に構成されるが、基体裏面のガスの流れを安定させるために、基体長手方向に溝等を設けていてもよい。更に、分

離用ガス導入管112から分離用ガスが導入され、ガスゲート内に進入する成膜室の成膜ガスを押し戻すような構成となっている。113は本発明による除塵機構であり、114は圧力計、115及び116は供給室及び巻取り室の排気を行う排気管である。

【0019】次に、前記除塵機構について説明する。本発明の除塵機構は帯状基体がガスゲートに進入する前の成膜室出口に設置される。従って、開口幅が非常に狭くなっているガスゲート内部への異物の進入を防止し、異物による帯状基体の詰まりによる搬送トラブルや、帯状基体への傷あるいは凹凸の発生を最小限にすることができる。除塵装置は例えば、ワイパー、ブラシ、又はそれらと同様の機能を果たすものであることが好ましい。

【0020】図2は本発明の製造装置の除塵ワイパーの1例を示す模式図である。ワイパー回転軸201は不図示の真空成膜装置の外部から可動式であり、実際の異物除去は、支持板203により挟持されているブレード202によりなされる。帯状基体204は図示の太矢印方向に搬送され、ガスゲート内へ進入する。

【0021】帯状基体は、波打ちや反り等の変形を考慮して、SUS430製鋼等の強磁性体を使用することが効果的である。

【0022】除塵機構は、通常、ブレードの長手方向が帯状基体の搬送方向と垂直で、水平になるように設置されている。回転軸201により外部から手動又は自動で、不定期又は定期的に90度以上回転させることにより帯状基体上面の異物を除去することができる。回転後は前記通常位置に復帰させる。

【0023】また、帯状基体を装置に装填する際、少なくとも向かい合う2本の回転軸の間に位置させることにより、基体幅方向の位置決めが容易にかつ正確に実施できるため、搬送時の基体の位置ずれを防止することができる。

【0024】図3は、除塵機構の構成を帯状基体の断面方向から示す模式図である。前記支持板303は回転軸301に固定されており、ブレード302を挟み込むような形状となっている。支持板、回転軸の材質は、真空用部品であり、脱ガスの少ないSUS等の金属が好ましい。

【0025】除塵機構は、ブレードが帯状部材304と接触するか又は微小間隙を持つように設置される。微小間隙とは、ガスゲートのスリット高さより小さい間隙を指す。ブレードは、耐熱性、耐久性に優れ、脱ガスの少ないプラスチック、ゴム又はセラミック等が好ましく、温度等の装置条件により、適宜選択することができる。ブレードの硬度、接触の度合は、帯状基体が速度を変えことなくスムーズに、傷のつかない程度に搬送されれば、特に限定されない。

【0026】支持板、ブレードの長さも、特に規定されないが、図2に示すごとく、2ヶ所以上に設置すること

により、基体の幅方向全面をカバーできるようにすることが好ましい。

【0027】図1乃至3で示される半導体素子連続製造装置により、以下に示す操作によって帯状基体上にp i n型アモルファスシリコン太陽電池を形成した。

【0028】まず、幅30cm、長さ50m、厚さ0.2mmのSUS430BA製基体107を、供給室104から巻出され、ガスゲート106により連通された101~103の3つの成膜室を通過して、巻取り室105で巻取られるようにセットした。尚、ガスゲート106のスリット高さは全て3.0mmとした。

【0029】次に、前記帯状基体供給室、巻取り室、及び各成膜室を排気管110、115、116を通して不図示の排気装置により 10^{-6} Torrまで充分に排気*

*した後、引き続き排気しながら各成膜室へガス導入管109よりそれぞれの成膜ガスを導入し、圧力計114を確認しつつ排気量を調節して各成膜室を所定の圧力に調整した。ガスゲート106のスリットには分圧用ガスとして H_2 を上下のガス導入管112から各300sccm導入した。

【0030】ヒーター108で帯状基体107の裏面から所定の温度で加熱し、マイクロ波導波管111からのマイクロ波電力を導入して各成膜室間にグロー放電を発生し、帯状基体を一定速度で搬送して帯状基体上にn、i、p型のアモルファスシリコン膜を連続的に形成した。各成膜室での作製条件を表1に示す。

【0031】

【表1】

| 成膜室 | 堆積膜層厚 (nm) | ガス流量 (sccm) | 圧力 (mTorr) | 印加電力 (W) | 加熱温度 (°C) | 堆積速度 (nm/sec) |
|-----|--------------------|---------------------------------------------------|------------|----------|-----------|---------------|
| 101 | n型アモルファスシリコン (20) | SiH_4 :100 H_2 :1000 PH_3/H_2 (5%):20 | 50 | 800 | 300 | 2 |
| 102 | i型アモルファスシリコン (300) | SiH_4 :600 | 5 | 1000 | 350 | 10 |
| 103 | p型アモルファスシリコン (10) | SiH_4 :150 H_2 :1000 BF_3/H_2 (5%):30 | 50 | 800 | 250 | 2 |

成膜中に、除塵機構の回転軸を適宜手動により回転させながら、太陽電池作製を実施した。回転は図2に示すように、2個のブレードを配置し、回転軸を図2の矢印方向に90~100度回転させ、1ヶ所ずつ交互に行った。

【0032】上記の方法で得られたアモルファスシリコン膜を堆積した帯状基体をロール・ツー・ロール装置から取り出し、10cm×10cmの大きさに切り離し、※

※シングルチャンバーの真空蒸着装置に入れ、真空蒸着法により表2に示す条件でITO透明導電膜を積層し、図4の模式断面図に示す太陽電池を作製した。図4において401は基体、402はn型層、403はi型層、404はp型層、405はITO透明導電膜である。

【0033】

【表2】

| 蒸着源 | 蒸着雰囲気 | 基板加熱温度 (°C) | 蒸着レート (nm/sec) | 蒸着膜厚 (nm) |
|--------------------|---------------------|-------------|----------------|-----------|
| In-Sn (合金) (50:50) | O_2 : 0.3mTorr | 180 | 0.1 | 70 |

得られた太陽電池は、通常の堆積膜形成装置で作製した太陽電池と同等の良好な光電変換率を示した。セルの生存率については、通常作製したものよりも良好な結果を示した。

【0034】また、ロール・ツー・ロール装置から取り出したとき、帯状基体の両面には傷は全く無く、欠陥はみられなかった。

【0035】全長50mの帯状基体を使用しての連続成膜の間、一度も基体搬送系の調整は行わなかったが、基体に伸びやしわ、反りは発生せず、位置ずれも認められなかった。

【0036】実施例2

除塵機構を図5に示すような固定式ワイパータイプのものとした以外は、実施例1と同様の方法により図4に示

ようなpin型アモルファスシリコン太陽電池を作製した。

【0037】図5において、支持棒501、支持板503は固定されており、支持板は実施例1と同様にブレード502を挟み込むような形状となっている。

【0038】また、ブレードは図6の平面図に示すように、帯状基体603の搬送方向と垂直の位置より α 度の角度をつけて固定されている。601は支持棒、602は支持板である。

【0039】この実施例では、図7のように太陽電池を作製する際の温度モニター用熱電対705をブレード702で固定することにより、搬送する帯状基体704の温度モニターを行った。701は支持棒、703は支持板である。

【0040】図8は真横からみた熱電対の固定された形を示している。熱電対804は支持板801及びブレード802により、帯状基体803に押さえつけられた形で固定されている。

【0041】上記の方法で得られた太陽電池は、通常の堆積膜形成装置で作製した太陽電池と同等の良好な光電変換率を示した。セルの生存率については、通常作製したものよりも良好な結果を示した。モニターした基体温度は、応答性、安定性共に良好で、正確にモニターすることができた。

【0042】また、ロール・ツー・ロール装置から取り出したとき、帯状基体の両面には傷は全く無く、欠陥はみられなかった。

【0043】全長50mの帯状基体を使用しての連続成膜の間、一度も基体搬送系の調整は行わなかったが、基体に伸びやしわ、反りは発生せず、位置ずれも認められなかった。

【0044】実施例3

除塵機構を図9に示すような、4ヶ所の可動式ワイパータイプのものとした以外は、実施例1と同様の方法により図4に示すような太陽電池を作製した。

【0045】図9において、回転軸901は不図示の真空成膜装置の外部から可動式であり、支持板903は実施例1と同様にブレード902を挟み込むような形状となっている。また、除塵機構の位置は、通常ブレードの長手方向が帯状基体904の搬送方向と垂直で、水平になるように設置されている。成膜中に、回転軸を適宜手動により回転させ、太陽電池を作製した。回転は図9に示す矢印方向に回転軸を90～100度回転させ、一ヶ所ずつ交互に実施した。

【0046】また、4ヶ所の回転軸のうち、一ヶ所にマーキングペン905が固定されており、この箇所のワイパーを回転させると、基体の端部にマーキングされるような形状となっている。よって、その時刻を記録しておけば、何等かの不良、異常が発生した際に、正確なフィードバックが可能である。

【0047】上記の方法で得られた太陽電池は、通常の堆積膜形成装置で作製した太陽電池と同等の良好な光電変換率を示した。セルの生存率については、通常作製したものよりも良好な結果を示した。

【0048】また、ロール・ツー・ロール装置から取り出したとき、帯状基体の両面には傷は全く無く、欠陥はみられなかった。

【0049】全長50mの帯状基体を使用しての連続成膜の間、一度も基体搬送系の調整は行わなかったが、基体に伸びやしわ、反りは発生せず、位置ずれも認められなかった。

【0050】

【発明の効果】以上、説明したように、本発明の半導体素子連続製造装置によれば、ゲート内への異物混入を効果的に阻止することができるため、ゲート内での異物の詰まりによる搬送トラブル発生や、基体の傷及び微妙な凹凸の発生防止に効果がある。その結果、稼働率、良品率が上がり、生産性の高い半導体素子連続製造装置を提供することが可能となる。

【0051】また、本発明によれば、帯状基体の位置ずれ防止、搬送されている帯状基体の正確な温度制御により、真空成膜装置内での装置信頼性が向上する。更に、基体へのマーキングが可能であり、製造条件への正確なフィードバックが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体素子連続製造装置の1例を示す概略図である。

【図2】本発明における除塵機構の構造の1例を示す概略図である。

【図3】図2に示す除塵機構の断面図である。

【図4】実施例1で作製した太陽電池の層構成を示す概略断面図である。

【図5】本発明における除塵機構の構造の別の例を示す概略図である。

【図6】図5に示す除塵機構の平面図である。

【図7】図5に示す除塵機構に熱電対を固定させた概略図である。

【図8】図7に示す熱電対の固定を真横からみた概略図である。

【図9】本発明における除塵機構の構造の別の例を示す概略図である。

【図10】ガスゲートの1構成例を示す拡大模式図である。

【符号の説明】

101、102、103 成膜室

104 帯状基体の供給室

105 帯状基体の巻取り室

106 ガスゲート

107、204、304、504、603、704、8

50 03、904 帯状基体

9

10

108 加熱ヒーター

109 ガス導入管

110、115、116 排気管

111 マイクロ波導波管

112 分離用ガス導入管

113 除塵機構

114 圧力計

201、301 ワイパー回転軸

202、302、502、702、802、902 プ

レード

203、303、503、602、703、801、9

03 ブレード支持板

401 基体

402 n型層

403 i型層

404 p型層

405 透明導電層

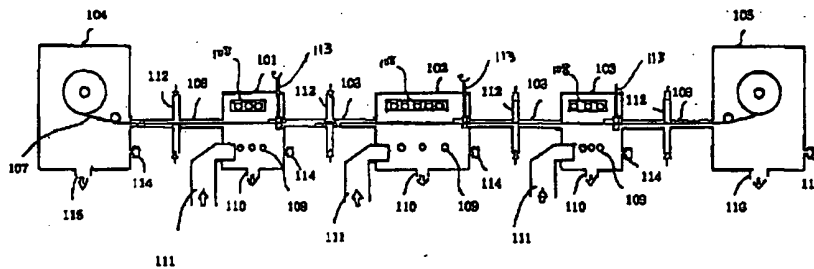
501、601、701、901 支持棒

705、804 熱電対

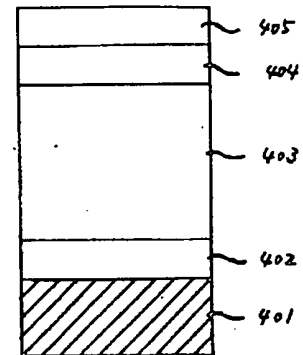
905 マーキングペン

10 1100 開口断面調節部材

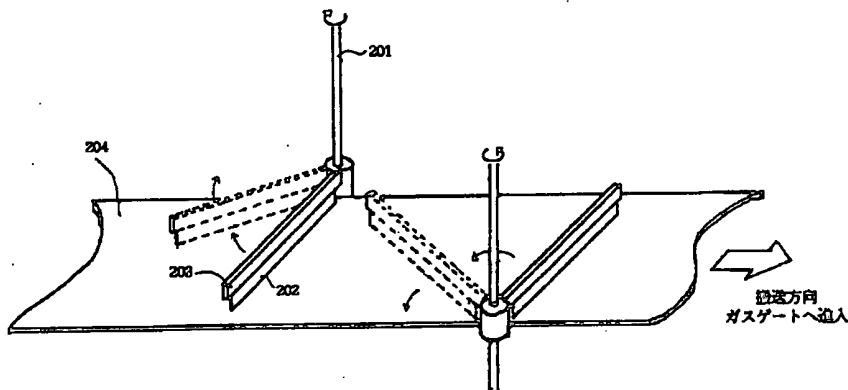
【図1】



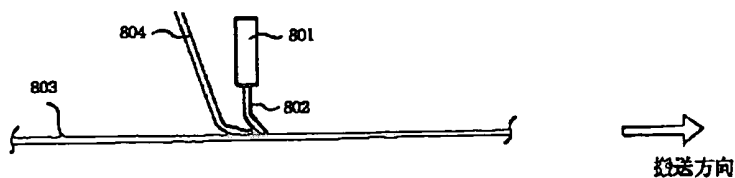
【図4】



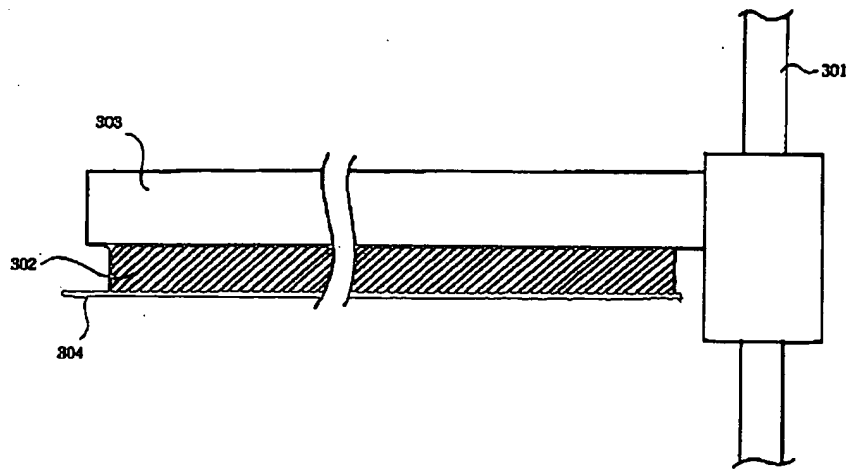
【図2】



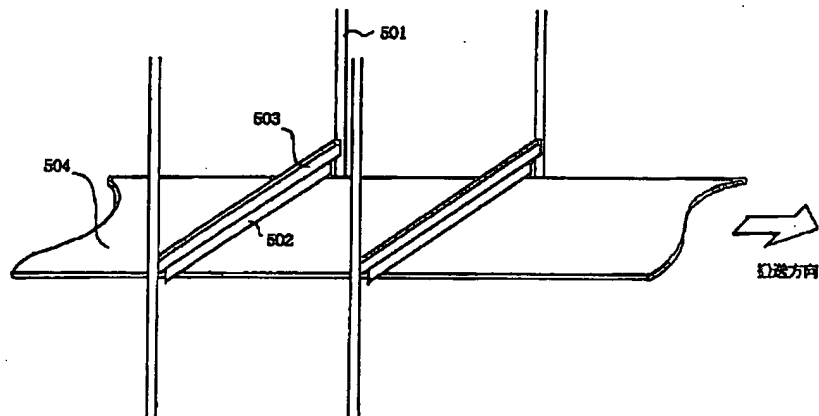
【図8】



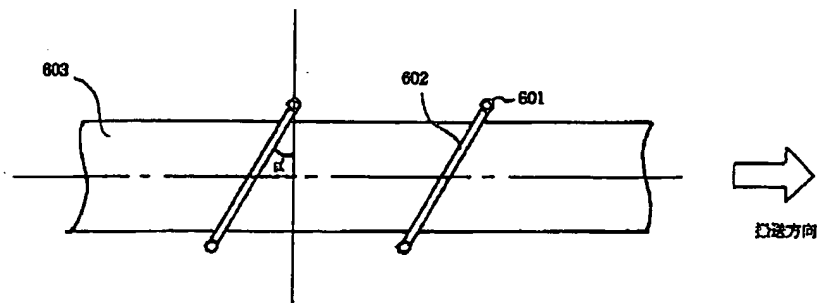
【図3】



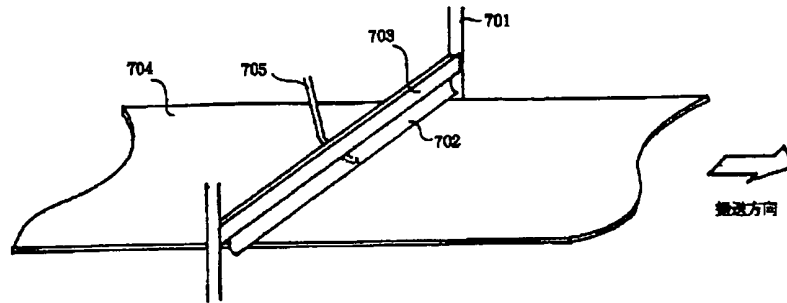
【図5】



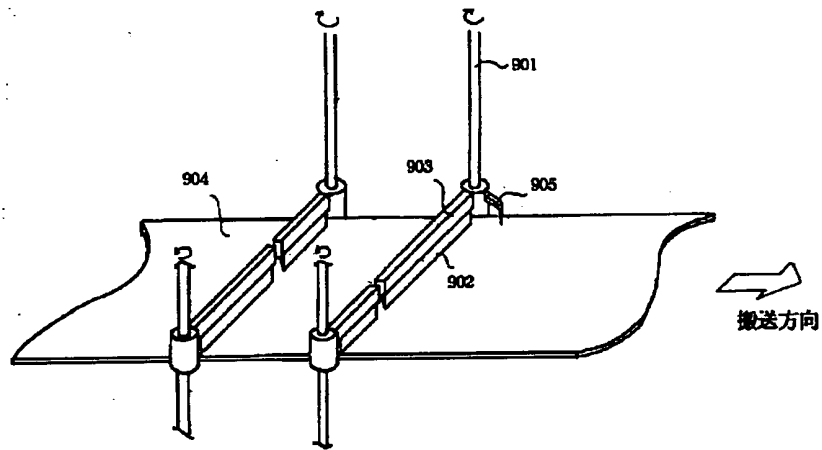
【図6】



【図7】



【図9】



【図10】

